

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

-1- (JAPIO)
AN - 89-128534
TI - MOUNTING METHOD FOR SEMICONDUCTOR ELEMENT ON
TRANSPARENT SUBSTRATE
PA - (2000582) MATSUSHITA ELECTRIC IND CO LTD
IN - ISHIHARA, SHINICHIRO; NAGATA, SEIICHI
PN - 89.05.22 J01128534, JP 01-128534
AP - 87.11.13 87JP-287880, 62-287880
SO - 89.08.22 SECT. E, SECTION NO. 809; VOL. 13, NO. 378,
PG. 12.
IC - H01L-021/60; H01L-027/12
JC - 42.2 (ELECTRONICS--Solid State Components)
AB - PURPOSE: To shield a light at an IC chip
simultaneously during the manufacture of a
semiconductor element and to further reduce the stray
capacitance due to wirings by forming a light
shielding film during manufacturing step of a FET,
shielding a light incident from a glass substrate,
and setting a distance between a conductive material
and the film to a specific value or less.
CONSTITUTION: A light shielding gate electrode 2 is
formed of Cr on a glass substrate 1. A light
shielding layer 3 of a COG region is held at a ground
potential or a predetermined potential. The height 50
of bump for connecting an IC chip 1 to a wiring
conductive film 9 by a COG bump 10 is so set that the
distance between a wiring conductive film 9 and the
chip 11 becomes $1\text{ }\mu\text{m}$ or more. This is because, if
a dust is engaged, it might be short-circuited.
Further, this is because, when the height 50 of the
bump is set $10\text{ }\mu\text{m}$ or more, the forming accuracy of
the bump itself is deteriorated. In order to complete
as a liquid crystal display, an opposite glass
substrate containing a color filter, opposite
electrode, etc., is disposed on a TFT region isolated
at 1mm or more from the chip 11.

⑨ Int. Cl.

H 01 L 21/60
27/12

識別記号

庁内整理番号

S-6918-5F
Z-7514-5F

④ 公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 透明基板上への半導体素子の実装方法

⑭ 特 願 昭62-287880

⑮ 出 願 昭62(1987)11月13日

⑯ 発 明 者 石 原 伸 一 郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑰ 発 明 者 永 田 清 一 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

透明基板上への半導体素子の実装方法

2. 特許請求の範囲

(1) 透明基板上に、複数に分割された薄膜トランジスタの透光性ゲート電極、複数層の絶縁性薄膜、前記トランジスタの活性層としての半導体薄膜、ソース電極、ドレイン電極および半導体素子とを構成要素として含み、前記透明基板側から入射する光を前記薄膜トランジスタ作成工程中に形成された前記ゲート電極材料または前記ソース電極材料によって遮断することを特徴とする透明基板上への半導体素子の実装方法。

(2) 透光性ゲート電極材料およびまたはソース電極材料と、半導体素子上の導電性材料との距離を1 μ m以上10 μ m以下にし、前記距離により形成される空間に一部を残して絶縁性物質を充填することを特徴とする特許請求の範囲第1項記載の透明基板上への半導体素子の実装方法。

(3) 透明基板上に設置する部品間距離を各々1mm

以上離すことを特徴とする特許請求の範囲第1項記載の透明基板上への半導体素子の実装方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体素子であるICチップを透明基板例えばガラス基板上に実装するいわゆるチップ・オン・ガラス(以下COGと略す)の方法に関する。更に、本発明は、活性層として例えば非晶質シリコン(以下a-Si:Hと略す)を用いた薄膜トランジスタ(以下TFTと略す)をガラス基板上に形成する実装方法に関する。

従来の技術

a-Si:Hを用いたTFTは200℃前後の比較的低温で大而積にわたって容易に形成されるため、一次元センサや、液晶ディスプレイに応用されるべく研究されている。これら半導体素子を駆動させるための信号は、従来基板端に取り込み電極を設け、フレキシブルフィルムによって外部回路を接続する実装方法が用いられていた。

一方付加価値を高めるため、単結晶シリコンを

基板とする半導体素子は、大型化が図られている。ガラス基板上に形成される一次元センサや液晶ディスプレイの場合もその例外ではなく、更にガラス基板の特徴を利用して大型化も同時に進められている。フレキシブルフィルムは、高価なポリイミド樹脂を使用しているため大型化や、高密度化がすすむにつれ、実装するフィルムの枚数および面積が増加するため材料代が高価になりつつあった。さらに接点の数も増加するので信頼性の面で問題が発生するためガラス基板上にICチップを直接実装するCOG方式が用いられてきた。しかし、一次元センサや、液晶ディスプレイ等の場合、ガラス基板側から強力な光が入射し、ICチップに直接照射されていた。

発明が解決しようとする問題点

COGのICチップには通常遮光膜は施されておらず、基板全体を、最後に遮光する方法が用いられていた。しかし一次元センサや液晶ディスプレイには、その複雑な光入射方法のために、また装置全体の小型化のために、これらの製造工程か

ら最後に遮光する方法を用いることは困難であった。

遮光膜を用いない場合は、液晶ディスプレイの場合、通常ICチップを完全に遮光した場合には、両側の信号と雑音の比が、40から50程度であるが、1000ルクスの蛍光灯光線による照度をICチップに照射すると、この比が10程度かそれ以下になった。

問題点を解決するための手段

一次元センサや液晶ディスプレイのスイッチング素子として用いられているTFTの製造工程中に於て、半導体素子例えばICチップを配する領域に遮光性ゲート電極材料またはソース電極材料を用いて透明基板例えばガラス基板上に遮光膜を形成し、ガラス基板側から入射する光を遮断する。さらにICチップと遮光膜とで形成される容量を軽減するため望ましくはICチップ上の導電性材料と遮光膜との距離を $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下にしその空間に一部を除いて絶縁性物質を満たす。また、ガラス基板上に設置する部品例えば補助コ

ンデンサの間隔を 1mm 以上あける。

作 用

遮光性ゲート電極材料または、ソース電極材料によってICチップはガラス面からの光を遮光することができ、これら遮光膜とICチップとの距離を $1\mu\text{m}$ 以上とることによって、これらの間で形成される容量を軽減する。 $10\mu\text{m}$ 以下でなければならぬのは、パンプ自体を形成する際に成形の精度が悪化するためである。また、絶縁体を基板とICチップとの間に入れることにより信頼性を向上させることができ、ガラス基板上に設置する部品の間隔を 1mm 以上あけることにより、部品の接着強度を向上することができる。

実施例

以下、実施例について第1図に液晶ディスプレイを例にとって製造の工程を説明するため断面図を示す。断面図は、TFT領域100とCOG領域200に分けられている。

ガラス基板1上にCrによる遮光性ゲート電極2を形成する(第1図)。COG領域では遮光剤

3となる。遮光剤3は容量を減少させるため、複数の領域に分けられている。ICで使用する周波数によって、遮光剤3は、単一領域としても良い。高周波グロー放電装置で、TFTのゲート絶縁膜4、TFTの活性層である $\alpha\text{-Si:H}$ 膜5、保護膜6を形成し、ソース、ドレイン部のコンタクトホール7を開ける(第2図)。ゲート絶縁膜4はTFT作成工程の都合で複数層になっている。次に、 $\alpha\text{-Si:H}$ 膜8を形成する(第3図)。次に、Alを含む金属膜を蒸着し、ソース、ドレイン電極ともなる配線用導電膜9を形成する(第4図)。COG領域の遮光剤3はアース電位か、または、ある一定の電位に保たれている。COGパンプ10を用いてICチップ11を配線用導電膜9に接続するパンプの高さ50は配線用導電膜9とICチップ11との距離が $1\mu\text{m}$ 以上になるようにする。これはゴミ等をはさんだ場合短絡する可能性があること、また、ICチップ11の駆動周波数が高いので、配線用導電膜9と、ICチップ11との間で容量結合を形成するので、これ

を防ぐためである。また、パンプの高さ h_0 を $10\mu\text{m}$ 以上にすると、パンプ自体の成形精度が悪化するためである。液晶ディスプレイとして完成させるためには、カラーフィルタ、対向電極などを含んだ対向ガラス基板をICチップ11と $1\mu\text{m}$ 以上あけてTFT領域上に配置し、液晶を注入するが、ここでは省略する。

以下、第2の実施例について説明する。

第4図においてCOG用パンプ10とのガラス基板1側の接触導電材料は配線用導電膜9である。第1の実施例ではAlを含む金属膜であった。

ITO (Indium Tin Oxide) 等金属酸化物導電膜を用いる場合は、その面積抵抗を下げるために 150°C 程度以上に昇温しなければならず、下地金属膜表面の酸化を防止するためガラス基板1上に直接ITOを形成した方がよい。このためには第1図の透光膜3とガラス基板1との間にITO等を形成し、第4図においてCOG用パンプを用いてICチップ11を接装する前にパンプ10より大きな領域で、配線用導電膜9、保護膜6、

$a\text{-Si:H}$ 膜5、ゲート絶縁膜4、透光膜3をエッチングする際のパンプの高さ h_0 を考える。ICチップ11と配線用導電膜9との距離は、パンプの高さ h_0 よりも、配線用導電膜9等の厚さによって小さくなる。これを考慮してパンプの高さ h_0 を求め、ICチップ11と配線用導電膜9との距離を $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下にしなければならない。距離の制限は実施例1で説明したとおりである。

なお、第4図において強力な光が入射するのは、主に図面下側から上に向かってであり、第4図の光入射方向 θ_0 で示している。

発明の効果

本発明による実装方法によって、従来光学的に不安定さがあるため避けられていた光を用いた半導体素子のCOG実装のICチップの透光を、半導体素子製造中で同時に作り込むことができ、さらに配線による浮遊容量をも減少させることが出来るなど、余分な工程を必要とせず、簡単な工程でしかも低価格で、透明基板上への半導体素子の

実装を行うことができる。

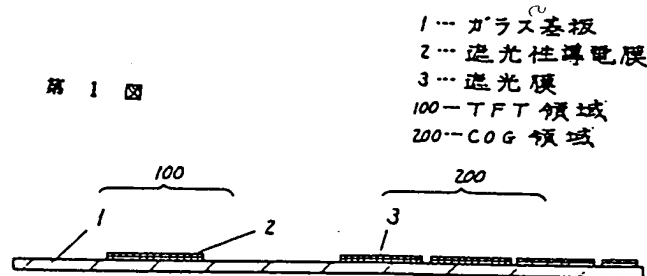
4、図面の簡単な説明

第1図は、本発明による半導体素子の実装方法の第1の工程を示す断面図、第2図は本発明による実装方法の第2の工程の断面図、第3図は本発明による実装方法の第3の工程の断面図、第4図は本発明による実装方法の第4の工程の断面図である。

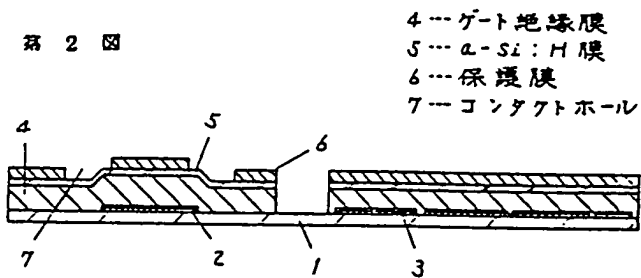
2……透光性ゲート電極、3……透光膜、4……ゲート絶縁膜、5…… $a\text{-Si:H}$ 膜、9……配線用導電膜、 h_0 ……パンプの高さ、 θ_0 ……光入射方向、100……TFT領域、200……COG領域。

代理人の氏名 井理士 中 尾 敏 男 ほか1名

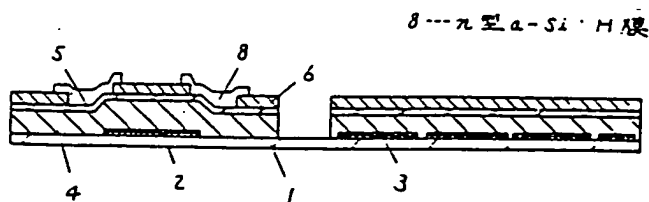
第1図



第2図



第3図



第4図

- 1 --- ガラス基板
- 2 --- 透光性導電膜
- 3 --- 透光膜
- 4 --- ゲート絶縁膜
- 5 --- a-Si:H膜
- 6 --- 保護膜
- 9 --- 配線用導電膜
- 10 --- COG用バンブ
- 11 --- ICチップ
- 50 --- バンブの高さ
- 60 --- 光入射方向
- 100 --- TFT領域
- 200 --- COG領域

